EN: This Datasheet/Document is presented by the manufacturer.

Please visit our website for pricing and availability at www.hestore.hu.

1. 产品特性

■ 内核

— 32 位 ARM® Cortex® - M0+

— 最高 32MHz 工作频率

■ 存储器

— 最大 64Kbytes flash 存储器

— 最大 8Kbytes SRAM

■ 时钟系统

— 内部 4/8/16/22.12/24MHz RC 振荡器(HSI)

— 内部 32.768KHz RC 振荡器(LSI)

— 4~32MHz 晶体振荡器(HSE)

■ 电源管理和复位

— 工作电压：1.7V~5.5V

— 低功耗模式: Sleep 和 Stop

— 上电/掉电复位 (POR/PDR)

— 掉电检测复位 (BOR)

— 可编程的电压检测 (PVD)

■ 通用输入输出(I/O)

— 驱动电流 8mA

■ 3 通道 DMA 控制器

■ 1 x 12-bit ADC

— 支持 最多 10 个外部输入通道

— 输入电压转换范围: 0~VCC

■ 定时器

— 1 个 16bit 高级控制定时器（TIM1）

— 4 个通用的 16 位定时器（TIM3/TIM14/TIM16/TIM17）

— 1 个低功耗定时器(LPTIM)，支持从 stop 模式唤醒

— 1 个独立看门狗定时器 (IWDT)

— 1 个窗口看门狗定时器 (WWDT)

— 1 个 SysTick timer

— 1 个 IRTIM

■ RTC

■ 通讯接口

— 1 个串行外设接口(SPI)

— 2 个通用同步/异步收发器(USART)，支持自动波特率检测

— 1 个 I2C 接口，支持标准模式 (100kHz)、 快速模式 (400kHz)，支持 7 位寻址模式

■ 硬件 CRC-32 模块

■ 2 个比较器

■ 唯一 UID

■ 串行单线调试 (SWD)

■ 工作温度：-40~85℃

■ 封装 SOP16

目录

1. 产品特性 1
2. 简介 4
3. 功能概述 6
3.1. Arm® Cortex®-M0+ 内核 6
3.2. 存储器 6
3.3. 时钟系统 6
3.4. 电源管理 7
3.4.1. 电源框图 7
3.4.2. 电源监控 8
3.4.3. 电压调节器 9
3.4.4. 低功耗模式 10
3.5. 复位 10
3.5.1. 电源复位 10
3.5.2. 系统复位 10
3.6. 通用输入输出 GPIO 10
3.7. DMA 10
3.8. 中断 10
3.8.1. 中断控制器 NVIC 11
3.8.2. 扩展中断 EXTI 11
3.9. 模数转换器 ADC 11
3.10. 定时器 12
3.10.1. 高级定时器 12
3.10.2. 通用定时器 12
3.10.3. 低功耗定时器 13
3.10.4. IWDG 13
3.10.5. WWDG 13
3.10.6. SysTick timer 13
3.11. 实时时钟 RTC 13
3.12. I2C 接口 14
3.13. 通用同步异步收发器 USART 14
3.14. 串行外设接口 SPI 16
3.15. SWD 16
4. 引脚配置 17
4.1. 端口 A 复用功能映射 20
4.2. 端口 B 复用功能映射 21
4.3. 端口 F 复用功能映射 21
5. 存储器映射 22

6. 电气特性.....25
6.1. 测试条件.....25
6.1.1. 最小值和最大值.....25
6.1.2. 典型值 25
6.2. 绝对最大额定值.....25
6.3. 工作条件.....26
6.3.1. 通用工作条件.....26
6.3.2. 上下电工作条件.....26
6.3.3. 内嵌复位和 LVD 模块特性.....26
6.3.4. 工作电流特性.....27
6.3.5. 低功耗模式唤醒时间.....28
6.3.6. 外部时钟源特性.....29
6.3.7. 内部高频时钟源 HSI 特性.....30
6.3.8. 内部低频时钟源 LSI 特性.....30
6.3.9. 存储器特性.....30
6.3.10. EFT 特性.....31
6.3.11. ESD & LU 特性.....31
6.3.12. 端口特性31
6.3.13. NRST 引脚特性.....32
6.3.14. ADC 特性.....32
6.3.15. 比较器特性.....32
6.3.16. 温度传感器特性.....33
6.3.17. 内置参考电压特性.....33
6.3.18. 定时器特性.....34
6.3.19. 通讯口特性.....34
7. 封装信息.....38
7.1. SOP16 封装尺寸.....38
8. 订购信息.....39
9. 版本历史.....40

2. 简介

PY32F003 系列微控制器采用高性能的 32 位 ARM® Cortex®-M0+内核，宽电压工作范围的 MCU。嵌入高达 32Kbytes flash 和 4Kbytes SRAM 存储器，最高工作频率 24MHz。包含多种不同封装类型多款产品。芯片集成多路 I2C、SPI、USART 等通讯外设，1 路 12bit ADC，5 个 16bit 定时器，以及 2 路比较器。

PY32F003 系列微控制器的工作温度范围为-40℃~85℃，工作电压范围 1.7V~5.5V。芯片提供 sleep 和 stop 低功耗工作模式，可以满足不同的低功耗应用。

PY32F003 系列微控制器适用于多种应用场景，例如控制器、手持设备、PC 外设、游戏和 GPS 平台、工业应用等。

表 2-1 PY32F003 系列产品规划及特征

外设		PY32F003WxxS	
		Wx6	Wx8
Flash memory (Kbyte)		32	64
SRAM (Kbyte)		4	8
定时器	高级定时器	1 (16-bit)	
	通用定时器	4 (16-bit)	
	低功耗定时器	1	
	SysTick	1	
	Watchdog	2	
通讯口	SPI	1	
	I2C	1	
	USART	2	
DMA		3ch	
RTC		Yes	
通用端口		14	
ADC 通道数 (外部 + 内部)		10+2	
比较器		2	
最高主频		32MHz	
工作电压		1.7~5.5 V	
封装		SOP16	

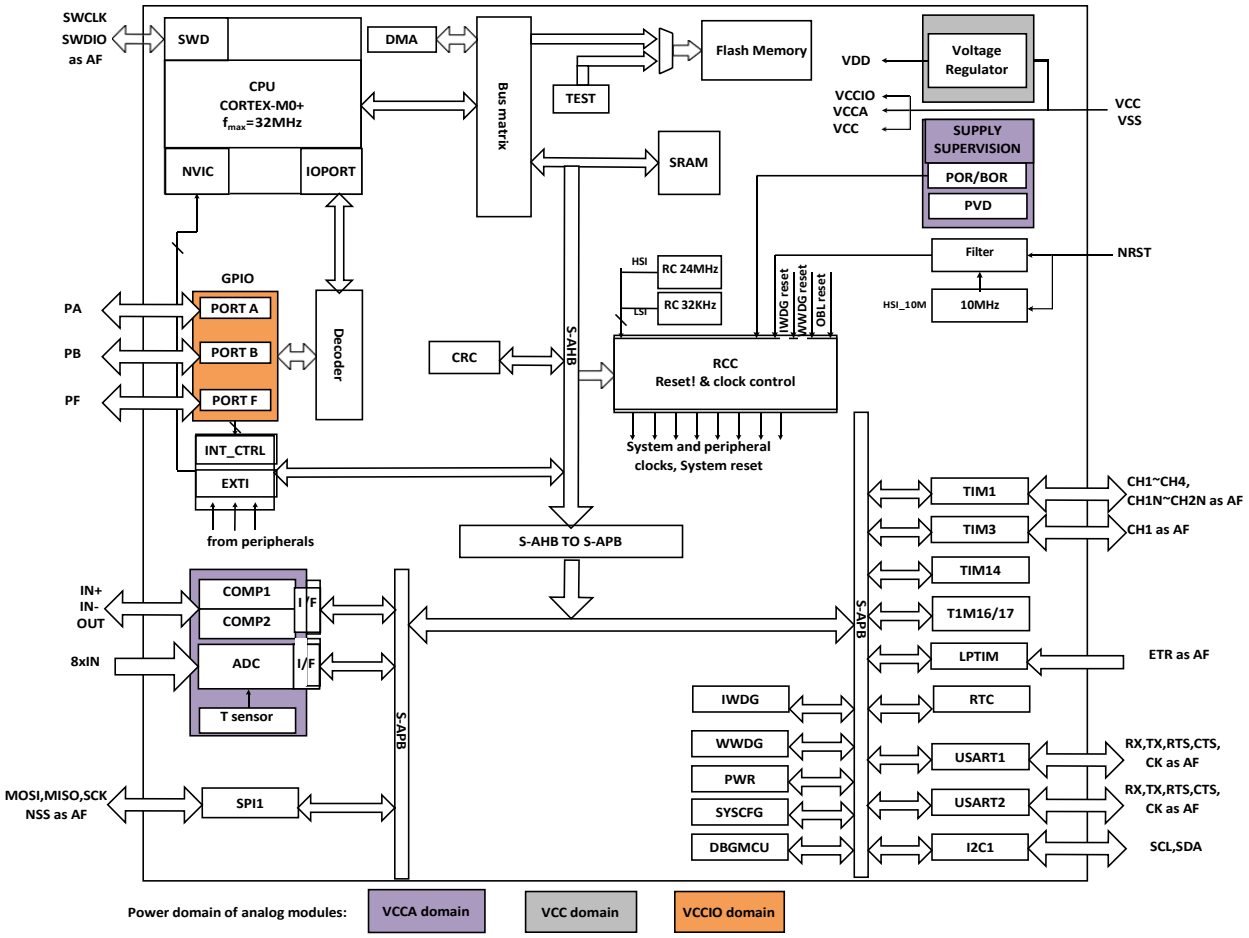

SWCLK
SWDIO
as AF
SWD
DMA
Bus matrix
Flash Memory
TEST
CPU
CORTEX-M0+
fmax=32MHz
NVIC
IOPORT
SRAM
VDD
Voltage Regulator
VCCIO
VCCA
VCC
VCC
VSS
SUPPLY SUPERVISION
POR/BOR
PVD
NRST
Filter
HSI_10M
10MHz
HSI
RC 24MHz
LSI
RC 32KHz
IWDG reset
WWDG reset
OBL reset
GPIO
PA
PB
PF
PORT A
PORT B
PORT F
Decoder
CRC
S-AHB
RCC
Reset! & clock control
System and peripheral
clocks, System reset
INT_CTRL
EXTI
from peripherals
S-AHB TO S-APB
TIM1
TIM3
TIM14
T1M16/17
LPTIM
RTC
USART1
USART2
I2C1
CH1~CH4,
CH1N~CH2N as AF
CH1 as AF
ETR as AF
RX,TX,RTS,CTS,
CK as AF
RX,TX,RTS,CTS,
CK as AF
SCL,SDA
IN+
IN-
OUT
COMP1
COMP2
I/F
8xIN
ADC
I/F
T sensor
S-APB
IWDG
WWDG
PWR
SYSCFG
DBGMCU
MOSI,MISO,SCK
NSS as AF
SPI1
Power domain of analog modules:
VCCA domain
VCC domain
VCCIO domain

图 2-1 功能模块

3. 功能概述

3.1. Arm® Cortex®-M0+ 内核

Arm® Cortex®- M0+是一款为广泛的嵌入式应用设计的入门级 32 位 Arm Cortex 处理器。它为开发人员提供了显著的好处，包括:

- 结构简单，易于学习和编程
- 超低功耗，节能运行
- 精简的代码密度等

Cortex-M0+处理器是 32 位内核，面积和功耗优化高，为 2 级流水的冯诺伊曼架构。处理器通过精简但强大的指令集和广泛优化的设计，提供高端处理硬件，包含单周期乘法器，提供了 32 位架构计算机所期望的卓越性能，比其他 8 位和 16 位微控制器具有更高的代码密度。

Cortex-M0+与一个嵌套的矢量中断控制器(NVIC)紧密耦合。

3.2. 存储器

片内集成 SRAM。通过 bytes（8bits）、half-word（16bits）或者 word（32bits）的方式可访问 SRAM。

片内集成 Flash，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据
- Information 区域，4KBytes，它包括以下部分：
  - Option bytes
  - UID bytes
  - System memory

对 Flash main memory 的保护包括以下几种机制：

- read protection(RDP)，防止来自外部的访问。
- wrtie protection（WRP）控制，以防止不想要的写操作（由于程序存储器指针 PC 的混乱）。写保护的最小保护单位为 4Kbytes。
- Option byte 写保护，专门的解锁设计。

3.3. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 4/8/16/22.12/24MHz 可配置的内部高精度 HSI 时钟。
- 一个 32.768KHz 可配置的内部 LSI 时钟。
- 4~32MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS fail，硬件会自动转换系统时钟为 HSI，HSI 频率由软件配置。同时 CPU NMI 中断产生。

AHB 时钟可以基于系统时钟分频，APB 时钟可以基于 AHB 时钟分频。AHB 和 APB 时钟频率最高为 32MHz。

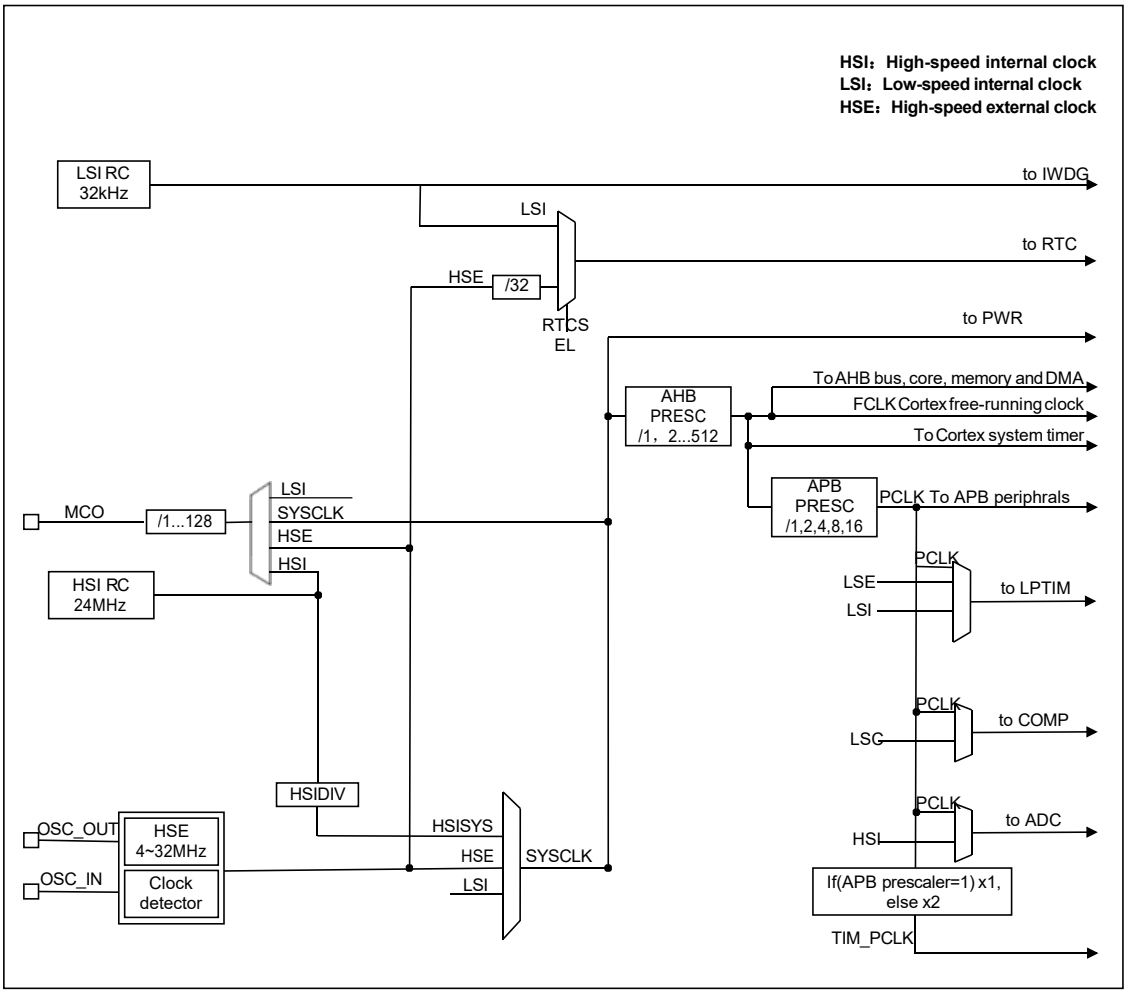


图 3-1 系统时钟结构图

3.4. 电源管理

3.4.1. 电源框图

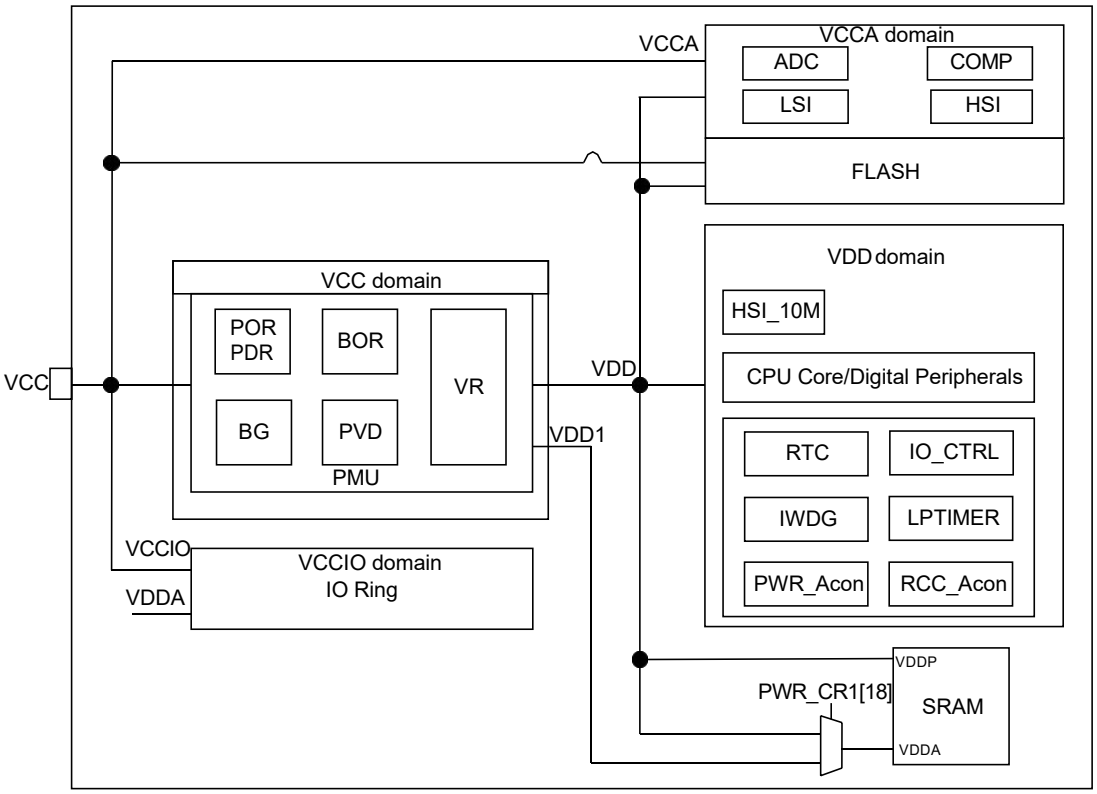


图 3-2 电源框图

表 3-1 电源框图

编号	电源	电源值	描述
1	VCC	1.7v~5.5v	通过电源管脚为芯片提供电源，其供电模块为：部分模拟电路。
2	VCCA	1.7v~5.5v	给大部分模拟模块供电，来自于 VCC PAD（也可设计单独电源 PAD）。
3	VCCIO	1.7v~5.5v	给 IO 供电，来自于 VCC PAD
4	VDD	1.2v/1.0v±10%	来自于 VR 的输出，为芯片内部主要逻辑电路、SRAM 供电。当 MR 供电时，输出 1.2v。当进入 stop 模式时，根据软件配置，可以由 MR 或者 LPR 供电，并根据软件配置决定 LPR 输出是 1.2v 或者 1.0v。

3.4.2. 电源监控

3.4.2.1. 上下电复位（POR/PDR）

芯片内设计 Power on reset（POR）/Power down reset（PDR）模块，为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

3.4.2.2. 欠压复位（BOR）

除了 POR/PDR 外，还实现了 BOR（brown out reset）。BOR 仅可以通过 option byte，进行使能和关闭操作。

当 BOR 被打开时，BOR 的阈值可以通过 Option byte 进行选择，且上升和下降检测点都可以被单独配置。

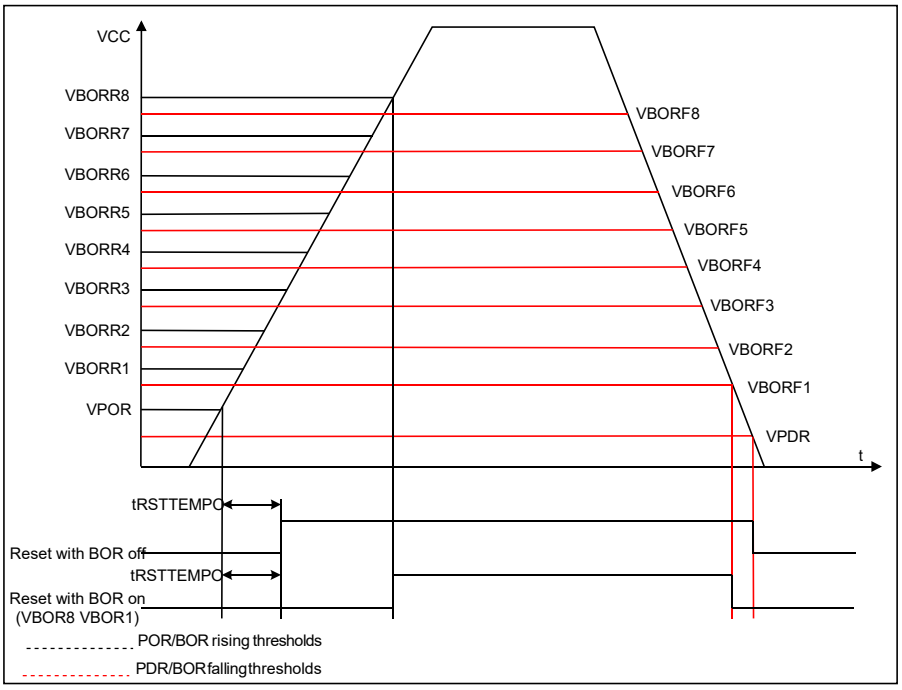


图 3-3 POR/PDR/BOR 阈值

3.4.2.3. 电压检测（PVD）

Programmable Voltage detector（PVD）模块可以用来检测 VCC 电源，检测点可通过寄存器进行配置。当 VCC 高于或者低于 PVD 的检测点时，产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16，取决于 EXTI line 16 上升/下降沿配置，当 VCC 上升超过 PVD 的检测点，或者 VCC 降低到 PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的 shutdown 任务。

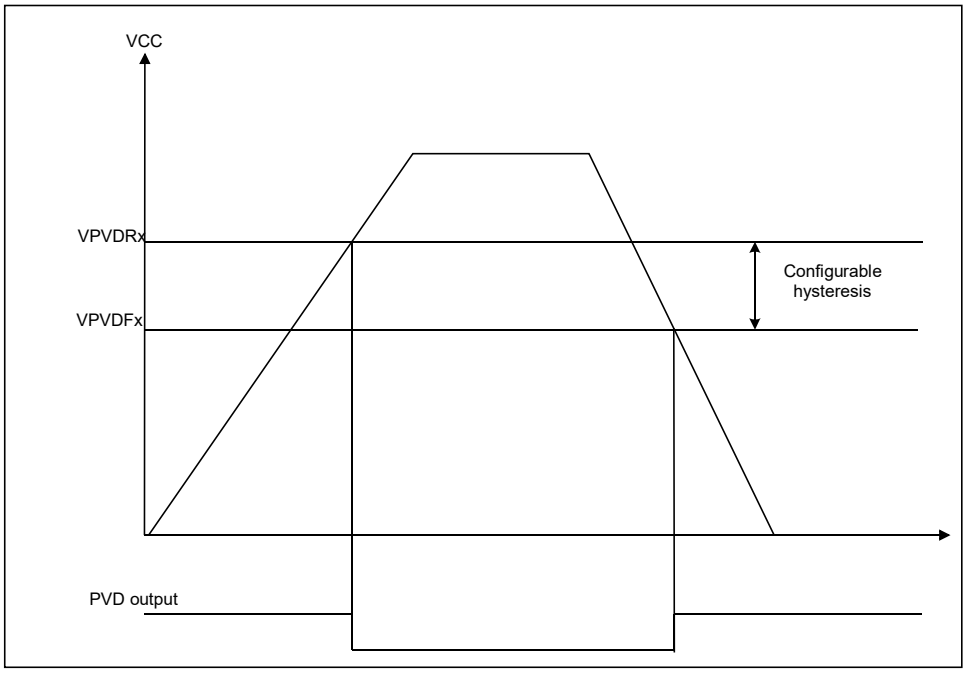


图 3-4 PVD 阈值

3.4.3. 电压调节器

芯片设计两个电压调节器：

- MR（Main regulator）在芯片正常运行状态时保持工作。
- LPR（low power regulator）在 stop 模式下，提供更低功耗的选择。

3.4.4. 低功耗模式

芯片在正常的运行模式之外，有 2 个低功耗模式：

- **Sleep mode**：CPU 时钟关闭（NVIC，SysTick 等工作），外设可以配置为保持工作。（建议只使能必须工作的模块，在模块工作结束后关闭该模块）
- **Stop mode**：该模式下 SRAM 和寄存器的内容保持，HSI 关闭，VDD 域下大部分模块的时钟都被停掉。GPIO，PVD，COMP output，RTC 和 LPTIM 可以唤醒 stop 模式。

3.5. 复位

芯片内设计两种复位，分别是：电源复位和系统复位。

3.5.1. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位（POR/PDR）
- 欠压复位（BOR）

3.5.2. 系统复位

当产生以下事件时，产生系统复位：

- NRST pin 的复位
- 窗口看门狗复位(WWDG)
- 独立看门狗复位(IWDG)
- SYSRESETREQ 软件复位
- option byte load 复位（OBL）
- 电源复位（POR/PDR、BOR）

3.6. 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出（push-pull 或者 open drain），输入（floating，pull-up/down，analog），外设复用功能，锁定机制会冻结 I/O 口配置功能。

3.7. DMA

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。

DMA 控制器有 3 条 DMA 通道，每条通道负责管理来自 1 个或者多个外设对存储器访问的请求。DMA 控制器包括处理 DMA 请求的仲裁器，用于处理各个 DMA 请求的优先级。

DMA 支持循环的缓冲器管理，消除了当控制器到达缓冲器末端时需要干预用户代码。

每个通道都直接连接专用的硬件 DMA 请求，每个通道都同样支持软件触发。这些功能通过软件来配置。

DMA 可用于主要外设:SPI, I2C, USART，所有 TIMx 计时器(除了 TIM14 和 LPTIM)和 ADC。

3.8. 中断

PY32F003 通过 Cortex-M0+处理器内嵌的矢量中断控制器(NVIC)和一个扩展中断/事件控制器(EXTI)来处理异常。

3.8.1. 中断控制器 NVIC

NVIC 是 Cortex-M0+处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M0+内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程(ISR)启动之间的延迟。ISR 向量列在一个向量表中，存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 支持 32 个可屏蔽外部中断
- 支持 10 个 Cortex-M0+异常
- 高优先级中断可打断低优先级中断响应
- 支持尾链(tail-chaining)优化
- 硬件中断向量检索

3.8.2. 扩展中断 EXTI

EXTI 增加了处理物理线事件的灵活性，并在处理器从 stop 模式唤醒时产生唤醒事件。

EXTI 控制器有多个通道，包括最多 16 个 GPIO，1 个 PVD 输出，2 个 COMP 输出，以及 RTC 和 LPTIM 唤醒信号。其中 GPIO，PVD，COMP 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0~15 通道。

每个 EXTI line 都可以通过寄存器独立屏蔽。

EXTI 控制器可以捕获比内部时钟周期短的脉冲。

EXTI 控制器中的寄存器锁存每个事件，即使是在 stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

3.9. 模数转换器 ADC

芯片具有 1 个 12 位的 SARADC。该模块共有最多 5 个要被测量的通道，包括 3 个外部通道和 2 个内部通道。

各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。

模拟 watchdog 允许应用检测是否输入电压超出了用户定义的高或者低阈值。

ADC 实现了在低频率下运行，可获得很低的功耗。

在采样结束，转换结束，连续转换结束，模拟 watchdog 时转换电压超出阈值时产生中断请求。

3.10. 定时器

PY32F003 不同定时器的特性如下表所示：

表 3-2 定时器特性

类型	Timer	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	上， 下， 中央对齐	1~65536	支持	4	3
通用定时器	TIM3	16-位	上， 下， 中央对齐	1~65536	支持	4	-
	TIM14	16-位	上	1~65536	-	1	-
	TIM16,TIM17	16-位	上	1~65536	支持	1	1

3.10.1. 高级定时器

高级定时器（TIM1）由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1 包括 4 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出

如果 TIM1 配置为标准的 16 位计时器，则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力(0-100%)。

在 MCU debug 模式，TIM1 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1 支持 DMA 功能。

3.10.2. 通用定时器

3.10.2.1. TIM3

TIM3 通用定时器是由 16 位可编程分频器驱动的 16 位自动重装载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM3 可以通过计时器链接功能与 TIM1 一起工作.

TIM3 支持 DMA 功能。

TIM3 能够处理正交(增量)编码器信号和数字输出从 1 到 3 霍尔效应传感器。

在 MCU debug 模式，TIM3 可以冻结计数。

3.10.2.2. TIM14

通用定时器 TIM14 由可编程预分频器驱动的 16 位自动装载计数器构成。TIM14

具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。在

MCU debug 模式，TIM14 可以冻结计数。

3.10.2.3. TIM16/TIM17

TIM16 和 TIM17 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM16/TIM17 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM16/TIM17 具有带死区的互补输出。

TIM16/TIM17 支持 DMA 功能。

在 MCU debug 模式，TIM16/TIM17 可以冻结计数。

3.10.3. 低功耗定时器

LPTIM 为 16 位向上计数器，包含 3 位预分频器。只支持单次计数。

LPTIM 可以配置为 stop 模式唤醒源。

在 MCU debug 模式，LPTIM 可以冻结计数值。

3.10.4. IWDG

芯片内集成了一个 Independent watchdog（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

IWDG 由 LSI 提供时钟，这样即使主时钟 Fail，也能保持工作。

IWDG 最适合需要 watchdog 作为主应用之外的独立过程，并且无很高的时序准确度限制的应用。

通过 option byte 的控制，可以使能 IWDG 硬件模式。

IWDG 是 stop 模式的唤醒源，以复位的方式唤醒 stop 模式。

在 MCU debug 模式，IWDG 可以冻结计数值。

3.10.5. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟(PCLK)。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

3.10.6. SysTick timer

SysTick 计数器专门用于实时操作系统（RTOS），但也可以用作标准的向下计数器。

SysTick 特性：

- 24bit 向下计数
- 自装载能力
- 计数器记到 0 时可产生中断（可屏蔽）

3.11. 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 为预分频系数最高为 2^{20} 的 32 位可编程计数器。

RTC 计数器时钟源可以为 LSI，可以作为 stop 唤醒源。

RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。

RTC 支持时钟 calibration。

在 MCU debug 模式，RTC 可以冻结计数。

3.12. I2C 接口

I2C(inter-integrated circuit)总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的顺序、协议、仲裁和时序。支持标准（Sm）、快速（Fm）。

I2C 特性：

- Slave 和 master 模式
- 多主机功能：可以做 master，也可以做 slave
- 支持不同通讯速度
  - 标准模式（Sm）：高达 100kHz
  - 快速模式（Fm）：高达 400kHz
- 作为 Master
  - 产生 Clock
  - Start 和 Stop 的产生
- 作为 slave
  - 可编程的 I2C 地址检测
  - Stop 位的发现
- 7 位寻址模式
- 通用广播（General call）
- 状态标志位
  - 发送/接收模式标志位
  - 字节传输完成标志位
  - I2C busy 标志位
- 错误标志位
  - Master arbitration loss
  - 地址/数据传输后的 ACK failure
  - Start/Stop 错误
  - Overrun/Underrun(时钟拉长功能 disable)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer
- 软件复位
- 模拟噪声滤波功能

3.13. 通用同步异步收发器 USART

通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准NRZ异步串行数据格式的外部设备之间进行全双工数据交换。USART利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，它还允许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的DMA方式，可以实现高速数据通信。

USART特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位（1 或者 2 位）
- 同步模式和为同步通讯的时钟输出功能
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志
  - 接收 buffer 满
  - 发送 buffer 空
  - 传输结束
- 奇偶校验控制
  - 发送校验位
  - 对接收数据进行校验
- 带标志的中断源
  - CTS 改变
  - 发送寄存器空
  - 发送完成
  - 接收数据寄存器满
  - 检测到总线空闲
  - 溢出错误
  - 帧错误
  - 噪音操作
  - 检测错误
- 多处理器通信
  - 如果地址不匹配，则进入静默模式
- 从静默模式唤醒：通过空闲检测和地址标志检测

3.14. 串行外设接口 SPI

串行外设接口(SPI)允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

SPI特性如下：

- Master 或者 slave 模式
- 3 线全双工同步传输
- 2 线半双工同步传输（有双向数据线）
- 2 线单工同步传输（无双向数据线）
- 8 位或者 16 位传输帧选择
- 支持多主模式
- 8 个主模式波特率预分频系数（最大为 fPCLK/4）
- 从模式频率（最大为 fPCLK/4）
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- Motorola 模式
- 可引起中断的主模式故障、过载
- 2 个具备 DMA 能力的 32bit Rx 和 Tx FIFOs

3.15. SWD

ARM SWD接口允许串口调试工具连接到PY32F003。

4. 引脚配置

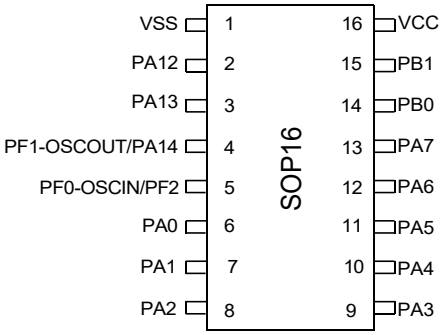


图 4-1 SOP16 Pinout1 PY32F003W1XS

表 4-1 引脚定义的术语和符号

类型		符号	定义
端口类型		S	Supply pin
		G	Ground pin
		I/O	Input/output pin
		NC	无定义
端口结构		COM	正常 5V 端口，支持模拟输入输出功能
		RST	复位端口，内部带弱上拉电阻，不支持模拟输入输出功能
Notes			除非有其他说明，不然所有端口都被在复位之间和之后，作为浮空的输入
端口功能	复用功能		通过 GPIOx_AFR 寄存器选择的功能
	附加功能		通过外设寄存器直接选择或使能的功能

表 4-2 SOP16 引脚定义

封装类型	复位	端口类型	端口结构	Notes	端口功能	
SOP16 W1					复用功能	附加功能
1	VSS	S			Ground	
2	PA12	I/O	COM		SPI1_MOSI USART1_RTS TIM1_ETR USART2_RTS EVENTOUT I2C_SDA COMP2_OUT	-
3	PA13(SWDIO)	I/O	COM	(2)	SWDIO IR_OUT EVENTOUT	-

					SPI1_MISO	
					TIM1_CH2	
					USART1_RX	
					MCO	
4	PF1-OSC_OUT-（PF1）	I/O	COM	(3)	USART2_TX	OSC_OUT
					USART1_TX	
					USART2_RX	
					I2C_SCL	
					SP1_NSS	
					TIM14_CH	
	PA14(SWCLK)	I/O	COM	(2)(3)	SWCLK	-
					USART1_TX	
					USART2_TX	
					EVENTOUT	
					MCO	
5	PF0-OSC_IN-（PF0）	I/O	COM	(3)	USART2_RX	OSC_IN
					TIM14_CH1	
					USART1_RX	
					USART2_TX	
					I2C_SDA	
	PF2-NRST	I/O	RST	(1)(3)	MCO	NRST
					USART2_RX	
6	PA0	I/O	COM		USART1_CTS	ADC_IN0 COMP1_INM
					USART2_CTS	
					COMP1_OUT	
					TIM1_CH3	
					TIM1_CH1N	
					SPI1_MISO	
					USART2_TX	
					IR_OUT	
7	PA1	I/O	COM		SPI1_SCK	COMP1_INP ADC_IN1
					USART1_RTS	
					USART2_RTS	
					EVENTOUT	
					SPI1_MOSI	
					USART2_RX	
					TIM1_CH4	
					TIM1_CH2N	
					MCO	
8	PA2	I/O	COM		SPI1_MOSI	COMP2_INM ADC_IN2
					USART1_TX	
					USART2_TX	
					COMP2_OUT	
					SPI1_SCK	
					TIM3_CH1	

					I2C_SDA	
9	PA3	I/O	COM		USART1_RX USART2_RX EVENTOUT SPI1_MOSI TIM1_CH1 I2C_SCL	COMP2_INP ADC_IN3
10	PA4	I/O	COM		SPI1_NSS USART1_CK TIM14_CH1 USART2_CK ENENTOUT RTC_OUT TIM3_CH3 USART2_TX	ADC_IN4
11	PA5	I/O	COM		SPI1_SCK LPTIM_ETR EVENTOUT TIM3_CH2 USART2_RX MCO	ADC_IN5
12	PA6	I/O	COM		SPI1_MISO TIM3_CH1 TIM1_BKIN TIM16_CH1 EVENTOUT COMP1_OUT USART1_CK RTC_OUT	ADC_IN6
13	PA7	I/O	COM		SPI1_MOSI TIM3_CH2 TIM1_CH1N TIM14_CH1 TIM17_CH1 EVENTOUT COMP2_OUT USART1_TX USART2_TX I2C_SDA SPI1_MISO	ADC_IN7
14	PB0	I/O	COM		SPI1_NSS TIM3_CH3 TIM1_CH2N EVENTOUT COMP1_OUT	ADC_IN8

15	PB1	I/O	COM		TIM14_CH1 TIM3_CH4 TIM1_CH3N EVENTOUT	COMP1_INM ADC_IN9
16	VCC	S			Digital power supply	

Note：

（1） 选择 PF2 或者 NRST 是通过 option bytes 进行配置。

（2） 复位后，PA13 和 PA14 两个 pin 被配置为 SWDIO 和 SWCLK AF 功能，前者内部上拉电阻、后者内部下拉电阻被激活。

（3） 两个 IO 端口引出在同一个 pin 脚，同一时间只能使用其中任意一个 IO 端口，且另外一个 IO 必须配置为模拟模式（MODEy[1:0] 为 0B11）。

4.1. 端口 A 复用功能映射

表 4-3 端口 A 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0		USART1_CTS	-		USART2_CTS	-	-	COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	USART2_TX	SPI1_MISO	-	-	TIM1_CH3	TIM1_CH1N	IR_OUT
PA1	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_SCK	USART1_RTS	-		USART2_RTS	-	-	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	USART2_RX	SPI1_MOSI	-	-	TIM1_CH4	TIM1_CH2N	MCO
PA2	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MOSI	USART1_TX	-		USART2_TX	-	-	COMP2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	-	SPI1_SCK	-	I2C_SDA	TIM3_CH1	-	-
PA3	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
		USART1_RX	-		USART2_RX	-	-	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	-	SPI1_MOSI	-	I2C_SCL	TIM1_CH1	-	-
PA4	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_NSS	USART1_CK			TIM14_CH1	USART2_CK	-	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	USART2_TX	-	-	-	TIM3_CH3	-	RTC_OUT
PA5	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_SCK	-	-		-	LPTIM1_ETR	-	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	-	USART2_RX	-	-	-	TIM3_CH2	-	MCO
PA6	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MISO	TIM3_CH1	TIM1_BKIN		-	TIM16_CH1	-	COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	USART1_CK	-	-	-	-	-	-	RTC_OUT
PA7	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	EVENTOUT	COMP2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	USART1_TX	USART2_TX	SPI1_MISO	-	I2C_SDA	-	-	-
PA12	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MOSI	USART1_RTS	TIM1_ETR	-	USART2_RTS	EVENTOUT	I2C_SDA	COMP2_OUT
PA13	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SWDIO	IR_OUT	-	-	-	-	-	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	USART1_RX	-	SPI1_MISO	-	-	TIM1_CH2	-	MCO
PA14	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7

	SWCLK	USART1_TX	-	-	USART2_TX	-	-	EVENTOUT
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	-	-	-	-	-	-	-	MCO

4.2. 端口 B 复用功能映射

表 4-4 端口 B 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	SPI1_NSS	TIM3_CH3	TIM1_CH2N	-	-	EVENTOUT	-	COMP1_OUT
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	-	-	-	EVENTOUT

4.3. 端口 F 复用功能映射

表 4-5 端口 F 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0-OSC_IN	-	-	TIM14_CH1		USART2_RX	-	-	-
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	USART1_RX	USART2_TX	-	-	I2C_SDA	-	-	-
PF1_OSC_OUT	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	-	-	-		USART2_TX	-	-	-
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	USART1_TX	USART2_RX	SPI1_NSS	-	I2C_SCL	TIM14_CH1	-	-
PF2-NRST	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	-	-	-		USART2_RX	-	MCO	-

5. 存储器映射

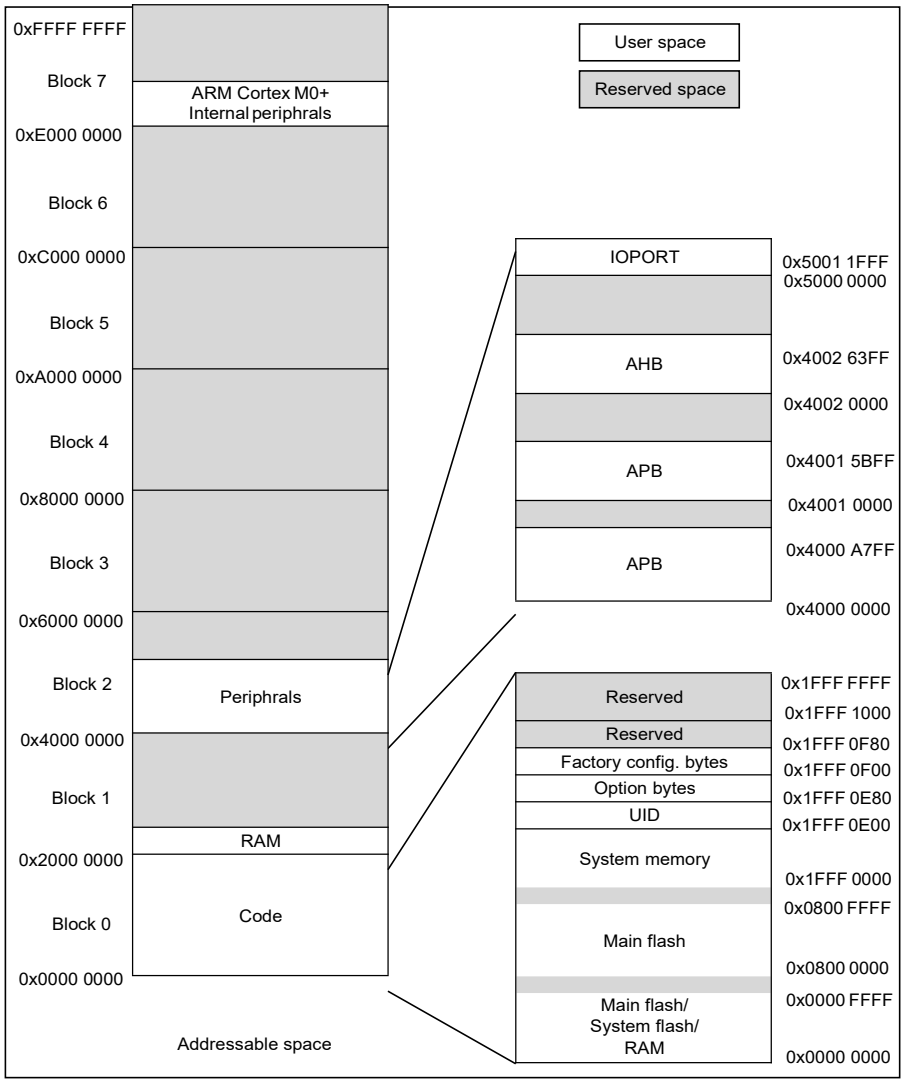


图 5-1 存储器映射

表 5-1 存储器地址

Type	Boundary Address	Size	Memory Area	Description
SRAM	0x2000 2000-0x3FFF FFFF	512MBytes	Reserved	
	0x2000 0000-0x2000 1FFF	8KBytes	SRAM	根据硬件不同，SRAM 最大为 8kBytes
Code	0x1FFF 1000-0x1FFF FFFF	4KBytes	Reserved	
	0x1FFF 0F80-0x1FFF 0FFF	128Bytes	Reserved	
	0x1FFF 0F00-0x1FFF 0F7F	128Bytes	Factory config	存放 HSI triming 数据、flash 擦写时间配置参数
	0x1FFF 0E80-0x1FFF 0EFF	128Bytes	Option bytes	option bytes
	0x1FFF 0E00-0x1FFF 0E7F	128Bytes	UID	Unique ID
	0x1FFF 0000-0x1FFF 0DFF	3.5KBytes	System memory	存放 boot loader
	0x0801 0000-0x1FFF FFFF	384MBytes	Reserved	
	0x0800 0000-0x0800 FFFF	64KBytes	Main flash memory	
	0x0001 0000-0x07FF FFFF	8MBytes	Reserved	

	0x0000 0000-0x0000 FFFF	64KBytes	根据 Boot 配置选择： 1）Main flash memory 2）System memory 3）SRAM	

Note:

上述空间除 0x1FFF 0E00-0x1FFF 0E7F 外，其余标注为 reserved 的空间，无法进行写操作，读为 0，且产生 response error。

表 5-2 外设寄存器地址

Bus	Boundary Address	Size	Peripheral
	0xE000 0000-0xE00F FFFF	1Mbytes	M0+
IOPORT	0x5000 1800-0x5FFF FFFF	256MBytes	Reserved(1)
	0x5000 1400-0x5000 17FF	1KBytes	GPIOF
	0x5000 1000-0x5000 13FF	1KBytes	Reserved
	0x5000 0C00-0x5000 0FFF	1Kbytes	Reserved
	0x5000 0800-0x5000 0BFF	1Kbytes	Reserved
	0x5000 0400-0x5000 07FF	1Kbytes	GPIOB
	0x5000 0000-0x5000 03FF	1Kbytes	GPIOA
AHB	0x4002 3400-0x4FFF FFFF		Reserved
	0x4002 300C-0x4002 33FF	1Kbytes	Reserved
	0x4002 3000-0x4002 3008		CRC
	0x4002 2400-0x4002 2FFF		Reserved
	0x4002 2124-0x4002 23FF	1KBytes	Reserved
	0x4002 2000-0x4002 2120		Flash
	0x4002 1C00-0x4002 1FFF	3KBytes	Reserved
	0x4002 1888-0x4002 1BFF	1Kbytes	Reserved
	0x4002 1800-0x4002 1884		EXTI（2）
	0x4002 1400-0x4002 17FF	1Kbytes	Reserved
	0x4002 1064-0x4002 13FF	1KBytes	Reserved
	0x4002 1000-0x4002 1060		RCC（2）
	0x4002 0C00-0x4002 0FFF	1KBytes	Reserved
	0x4002 0040-0x4002 03FF	1KBytes	Reserved
	0x4002 0000-0x4002 003C		DMA
APB	0x4001 5C00-0x4001 FFFF	32KBytes	Reserved
	0x4001 5880-0x4001 5BFF	1KBytes	Reserved
	0x4001 5800-0x4001 587F		DBG
	0x4001 4C00-0x4001 57FF	3KBytes	Reserved
	0x4001 4850-0x4001 4BFF	1KBytes	Reserved
	0x4001 4800-0x4001 484C		TIM17
	0x4001 4450-0x4001 47FF	1KBytes	Reserved
	0x4001 4400-0x4001 404C		TIM16
	0x4001 3C00-0x4001 43FF	2KBytes	Reserved
	0x4001 381C-0x4001 3BFF	1KBytes	Reserved
	0x4001 3800-0x4001 3018		USART1
	0x4001 3400-0x4001 37FF	1Kbytes	Reserved
	0x4001 3010-0x4001 33FF	1Kbytes	Reserved
	0x4001 3000-0x4001 300C		SPI1
	0x4001 2C50-0x4001 2FFF	1Kbytes	Reserved

	0x4001 2C00-0x4001 2C4C		TIM1
	0x4001 2800-0x4001 2BFF	1Kbytes	Reserved
	0x4001 270C-0x4001 27FF	1Kbytes	Reserved
	0x4001 2400-0x4001 2708		ADC
	0x4001 0400-0x4001 23FF	8Kbytes	Reserved
	0x4001 0220-0x4001 03FF	1KBytes	Reserved
	0x4001 0200-0x4001 021F		COMP1 and COMP2
	0x4001 0000-0x4001 01FF		SYSCFG
	0x4000 B400-0x4000 FFFF	19KBytes	Reserved
	0x4000 B000-0x4000 B3FF	1KBytes	Reserved
	0x4000 8400-0x4000 AFFF	11KBytes	Reserved
	0x4000 8000-0x4000 83FF	1KBytes	Reserved
	0x4000 7C28-0x4000 7FFF	1KBytes	Reserved
	0x4000 7C00-0x4000 7C24		LPTIM
	0x4000 7400-0x4000 7BFF	2KBytes	Reserved
	0x4000 7018-0x4000 73FF	1KBytes	Reserved
	0x4000 7000-0x4000 7014		PWR〔3〕
	0x4000 5800-0x4000 6FFF	6KBytes	Reserved
	0x4000 5434-0x4000 57FF	1KBytes	Reserved
	0x4000 5400-0x4000 5430		I2C
	0x4000 4800-0x4000 53FF	3KBytes	Reserved
	0x4000 441C-0x4000 47FF	1KBytes	Reserved
	0x4000 4400-0x4000 4418		Reserved
	0x4000 3C00-0x4000 43FF	1KBytes	Reserved
	0x4000 3800-0x4000 3BFF	1KBytes	Reserved
	0x4000 3400-0x4000 37FF	1KBytes	Reserved
	0x4000 3014-0x4000 33FF	1KBytes	Reserved
	0x4000 3000-0x4000 0010		IWDG
	0x4000 2C0C-0x4000 2FFF	1KBytes	Reserved
	0x4000 2C00-0x4000 2C08		WWDG
	0x4000 2830-0x4000 2BFF	1KBytes	Reserved
	0x4000 2800-0x4000 282C		RTC〔3〕
	0x4000 2400-0x4000 27FF	1KBytes	Reserved
	0x4000 2054-0x4000 23FF	1KBytes	Reserved
	0x4000 2000-0x4000 0050		TIM14
	0x4000 1800-0x4000 1FFF	2KBytes	Reserved
	0x4000 1400-0x4000 17FF	1KBytes	Reserved
	0x4000 1000-0x4000 13FF	1KBytes	Reserved
	0x4000 0800-0x4000 0FFF	2KBytes	Reserved
	0x4000 0450-0x4000 07FF	1Kbytes	Reserved
	0x4000 0400-0x4000 044C		TIM3
	0x4000 0000-0x4000 03FF	1KBytes	Reserved

Note:

（1） 上表 AHB 标注为 Reserved 的地址空间，无法写操作，读回为 0，且产生 hardfault；APB 标注为 Reserved 的地址空间，无法写操作，读回为 0，不会产生 hardfault。

（2） 不仅支持 32bit word 访问，还支持 halfword 和 byte 访问。

（3） 不仅支持 32bit word 访问，还支持 halfword 访问。

6. 电气特性

6.1. 测试条件

除非特殊说明，所有的电压都以 VSS 为基准。

6.1.1. 最小值和最大值

除非特殊说明，通过在环境温度 T_A=25°C 和 T_A=$T_{A(max)}$下进行的芯片量产测试筛选，保证在最坏的环境温度、供电电压和时钟频率条件下达到最小值和最大值。

基于表格下方注解的电特性结果、设计仿真和/或工艺参数的数据，未在生产中进行测试。最小和最大数值参考了样品测试，取平均值再加或者减三倍的标准偏差。

6.1.2. 典型值

除非特殊说明，典型数据是基于 T_A=25°C 和 VCC=3.3V。这些数据仅用于设计指导未经过测试。

典型的 ADC 精度数值是通过对一个标准批次的采样，在所有温度范围下测试得到，95%的芯片误差小于等于给出的数值。

6.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 6-1 电压特性(1)

符号	描述	最小值	最大值	单位
VCC	外部主供电电源	-0.3	6.25	V
V_{IN}	其他 Pin 的输入电压	-0.3	VCC+0.3	V

（1） 电源 VCC 和地 VSS 引脚必须始终连接到外部允许范围内的供电系统上。

表 6-2 电流特性

符号	描述	最大值	单位
I_{VCC}	流进 VCC pin 的总电流(供应电流)(1)	100	mA
I_{VSS}	流出 VSS pin 的总电流(流出电流) (1)	100	
$I_{IO(PIN)}$	COM IO 的输出灌电流	20	
	所有 IO 的拉电流	-20	

（1） 电源 VCC 和地 VSS 引脚必须始终连接到外部允许范围内的供电系统上。

表 6-3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65~+150	℃
T_O	工作温度范围	-40~+85	℃

6.3. 工作条件

6.3.1. 通用工作条件

表 6-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	32	MHz
f_{PCLK}	内部 APB 时钟频率	-	0	32	MHz
VCC	标准工作电压	-	1.7	5.5	V
VIN	IO 输入电压	-	-0.3	VCC+0.3	V
T_A	环境温度	-	-40	85	℃
T_J	结温	-	-40	90	℃

6.3.2. 上下电工作条件

表 6-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t_{VCC}	VCC 上升速率	-	0	∞	us/V
	VCC 下降速率	-	20	∞	

6.3.3. 内嵌复位和 LVD 模块特性

表 6-6 内嵌复位模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{RSTTEMPO}$(1)	复位重置时间	-	-	4.0	7.5	ms
$V_{POR/PDR}$	POR/PDR 复位阈值	上升沿	1.50(2)	1.60	1.70	V
		下降沿	1.45(1)	1.55	1.65(2)	V
V_{BOR1}	BOR 阈值 1	上升沿	1.70(2)	1.80	1.90	V
		下降沿	1.60	1.70	1.80(2)	V
V_{BOR2}	BOR 阈值 2	上升沿	1.90(2)	2.00	2.10	V
		下降沿	1.80	1.90	2.00(2)	V
V_{BOR3}	BOR 阈值 3	上升沿	2.10(2)	2.20	2.30	V
		下降沿	2.00	2.10	2.20(2)	V
V_{BOR4}	BOR 阈值 4	上升沿	2.30(2)	2.40	2.50	V
		下降沿	2.20	2.30	2.40(2)	V
V_{BOR5}	BOR 阈值 5	上升沿	2.50(2)	2.60	2.70	V
		下降沿	2.40	2.50	2.60(2)	V
V_{BOR6}	BOR 阈值 6	上升沿	2.70(2)	2.80	2.90	V
		下降沿	2.60	2.70	2.80(2)	V
V_{BOR7}	BOR 阈值 7	上升沿	2.90(2)	3.00	3.10	V
		下降沿	2.80	2.90	3.00(2)	V
V_{BOR8}	BOR 阈值 8	上升沿	3.10(2)	3.20	3.30	V
		下降沿	3.00	3.10	3.20(2)	V

V_{PVD0}	PVD 阈值 0	上升沿	1.70(2)	1.80	1.90	V
		下降沿	1.60	1.70	1.80(2)	V
V_{PVD1}	PVD 阈值 1	上升沿	1.90(2)	2.00	2.10	V
		下降沿	1.80	1.90	2.00(2)	V
V_{PVD2}	PVD 阈值 2	上升沿	2.10(2)	2.20	2.30	V
		下降沿	2.00	2.10	2.20(2)	V
V_{PVD3}	PVD 阈值 3	上升沿	2.30(2)	2.40	2.50	V
		下降沿	2.20	2.30	2.40(2)	V
V_{PVD4}	PVD 阈值 4	上升沿	2.50(2)	2.60	2.70	V
		下降沿	2.40	2.50	2.60(2)	V
V_{PVD5}	PVD 阈值 5	上升沿	2.70(2)	2.80	2.90	V
		下降沿	2.60	2.70	2.80(2)	V
V_{PVD6}	PVD 阈值 6	上升沿	2.90(2)	3.00	3.10	V
		下降沿	2.80	2.90	3.00(2)	V
V_{PVD7}	PVD 阈值 7	上升沿	3.10(2)	3.20	3.30	V
		下降沿	3.00	3.10	3.20(2)	V
$V_{POR_PDR_hyst}$(1)	POR/PDR 迟滞电压	-		50		mV
$V_{PVD_BOR_hyst}$(1)	PVD 迟滞电压			100		mV
$I_{dd(PVD)}$	PVD 功耗			0.6		uA
$I_{dd(BOR)}$	BOR 功耗			0.6		uA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

6.3.4. 工作电流特性

表 6-7 运行模式电流

符号	条件						典型值(1)	最大值	单位
	系统时钟	频率	代码	运行	外设时钟	FLASH sleep			
IDD(run)	HSI	24MHz	While(1)	Flash	ON	DISABLE	1.5	-	mA
					OFF	DISABLE	0.9	-	
		16MHz			ON	DISABLE	1.1	-	
					OFF	DISABLE	0.7	-	
		8MHz			ON	DISABLE	0.7	-	
					OFF	DISABLE	0.5	-	
		4MHz			ON	DISABLE	0.5	-	
					OFF	DISABLE	0.35	-	
	LSI	32.768kHz			ON	DISABLE	170	-	uA
					OFF	DISABLE	170	-	
	LSI	32.768kHz			ON	ENABLE	95	-	uA
					OFF	ENABLE	95	-	

（1） 数据基于考核结果，不在生产中测试。

表 6-8 sleep 模式电流

符号	条件				典型值(1)	最大值	单位
	系统时钟	频率	外设时钟	FLASH sleep			
IDD(sleep)	HSI	24MHz	ON	DISABLE	1	-	mA
			OFF	DISABLE	0.6	-	mA
		16MHz	ON	DISABLE	0.75	-	mA
			OFF	DISABLE	0.5	-	mA
		8MHz	ON	DISABLE	0.5	-	mA
			OFF	DISABLE	0.35	-	mA
		4MHz	ON	DISABLE	0.4	-	mA
			OFF	DISABLE	0.35	-	mA
	LSI	32.768kHz	ON	DISABLE	170	-	uA
			OFF	DISABLE	170	-	uA
	LSI	32.768kHz	ON	ENABLE	95	-	uA
			OFF	ENABLE	96	-	uA

（1） 数据基于考核结果，不在生产中测试。

表 6-9 stop 模式电流

符号	条件					典型值(1)	最大值	单位
	VCC	VDD	MR/LPR	LSI	外设时钟			
I_{DD}(stop)	1.7~5.5V	1.2V	MR	-	-	70	-	uA
		1.2V	LPR	ON	RTC+IWDG+LPTIM	6	-	
					IWDG	6	-	
					LPTIM	6	-	
					RTC	6	-	
				OFF	No	6	-	
		1.0V		ON	RTC+IWDG+LPTIM	4.5	-	
					IWDG	4.5	-	
					LPTIM	4.5	-	
					RTC	4.5	-	
				OFF	No	4.5	-	

（1） 数据基于考核结果，不在生产中测试。

6.3.5. 低功耗模式唤醒时间

表 6-10 低功耗模式唤醒时间

符号	参数(1)		条件		典型值(2)	最大值	单位
$T_{WUSLEEP}$	Sleep 的唤醒时间		-		1.65		us
T_{WUSTOP}	Stop 的唤醒时间	MR 供电	Flash 中执行程序，HSI(24Mhz)作为系统时钟		3.5		us
		LPR 供电	Flash 中执行程序，HSI 作为系统时钟	VDD=1.2V	6		us
				VDD=1.0V	6		

（1） 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。

（2） 数据基于考核结果，不在生产中测试。

6.3.6. 外部时钟源特性

6.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位)，芯片内的高速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

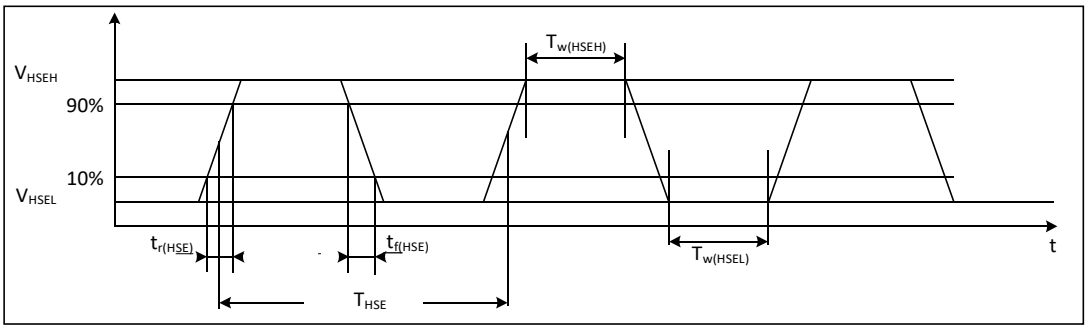


图 6-1 外部高速时钟时序图

表 6-11 外部高速时钟特性

符号	参数(1)	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	0	8	32	MHz
V_{HSEH}	输入引脚高电平电压	0.7VCC		VCC	V
V_{HSEL}	输入引脚低电平电压	Vss		0.3VCC	
$t_{W(HSEH)}$ $t_{W(HSEL)}$	输入高或低的时间	15			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	输入上升/下降的时间	-		20	ns

（1） 由设计保证，不在生产中测试。

6.3.6.2. 外部高速晶体

可以通过外接 4~32MHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 6-12 外部高速晶体特性

符号	参数	条件(1)	最小值(2)	典型值	最大值(2)	单位
f_{OSC_IN}	振荡频率	-	4		32	MHz
IDD(4)	HSE 功耗	During startup			5.5	mA
		VCC=3V,Rm=30 Ω，CL=10pF@8MHz		0.58		
		VCC=3V,Rm=45 Ω，CL=10pF@8MHz		0.59		
		VCC=3V,Rm=30 Ω，CL=5pF@32MHz		0.89		
		VCC=3V,Rm=30 Ω，CL=10pF@32MHz		1.10		
		VCC=3V,Rm=30 Ω，		1.90		

		CL=20pF@32MHz				
$t_{SU(HSE)}$(3) (4)	启动时间	f_{OSC_IN}=32MHz		3		ms
		f_{OSC_IN}=4MHz		15		ms

（1） 晶体/陶瓷谐振器特性基于制造商给出的数据手册。

（2） 由设计保证，不在生产中测试。

（3） $t_{SU(HSE)}$是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

（4） 数据基于考核结果，不在生产中测试。

6.3.7. 内部高频时钟源 HSI 特性

表 6-13 内部高频时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI 频率	T_A=25°C,VCC=3.3V	23.83(2)	24	24.17(2)	MHz
			21.97(2)	22.12	22.27(2)	MHz
			15.89(2)	16	16.11(2)	MHz
			7.94(2)	8	8.06(2)	MHz
			3.97(2)	4	4.03(2)	MHz
$\Delta_{Temp(HSI)}$	HSI 频率温度漂移	VCC=1.7V~5.5V, T_J=0C~85C	-2(2)		2(2)	%
		VCC=1.7V~5.5V, T_J=-40C~85C	-4(2)		2(2)	%
f_{TRIM}(1)	HSI 微调精度			0.1		%
D_{HSI}(1)	占空比		45(1)		55(1)	%
$t_{Stab(HSI)}$	HSI 稳定时间			2	4(1)	us
$I_{DD(HSI)}$ (2)	HSI 功耗	4MHz		100		uA
		8MHz		105		uA
		16MHz		150		uA
		22.12MHz, 24MHz		180		uA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

6.3.8. 内部低频时钟源 LSI 特性

表 6-14 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	T_A=25°C,VCC=3.3V	-1		+1	%
$\Delta_{Temp(LSI)}$	LSI 频率温度漂移	VCC=1.6V~5.5V T_J=0C~70C	-10(2)		10(2)	%
		VCC=1.6V~5.5V,T_J=-40C~85C	-20(2)		20(2)	%
f_{TRIM}(1)	LSI 微调精度			0.2		%
$t_{Stab(LSI)}$ (1)	LSI 稳定时间			150		us
$I_{DD(LSI)}$ (1)	LSI 功耗			210		nA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

6.3.9. 存储器特性

表 6-15 存储器特性

符号	参数	条件	典型值	最大值(1)	单位

t_{prog}	Page program	-	1.0	1.5	ms
t_{ERASE}	Page/sector/mass erase	-	3.0	4.5	ms
I_{DD}	Page programe		2.1	2.9	mA
	Page/sector/mass erase		2.1	2.9	mA

（1） 由设计保证，不在生产中测试。

表 6-16 存储器擦写次数和数据保持

符号	参数	条件	最小值(1)	单位
N_{END}	擦写次数	T_A = -40~85℃	100	kcycle
t_{RET}	数据保持期限	10 kcycle T_A = 55℃	20	Year

（1） 数据基于考核结果，不在生产中测试。

6.3.10. EFT 特性

符号	参数	条件	等级	典型值	单位
EFT to IO		IEC61000-4-4	B	2	KV
EFT to Power		IEC61000-4-4	B	4	KV

6.3.11. ESD & LU 特性

表 6-17 ESD & LU 特性

符号	参数	条件	典型值	单位
$V_{ESD(HBM)}$	静态放电电压(人体模型)	ESDA/JEDEC JS-001-2017	6	KV
$V_{ESD(CDM)}$	静态放电电压(充电设备模型)	ESDA/JEDEC JS-002-2018	1	KV
$V_{ESD(MM)}$	静态放电电压(机器模型)	JESD22-A115C	200	V
LU	静态 Latch-Up	JESD78E	200	mA

6.3.12. 端口特性

表 6-18 IO 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	VCC=1.7V~5.5V	0.7VCC			V
V_{IL}	输入低电平电压	VCC=1.7V~5.5V			0.3VCC	V
V_{hys}(1)	斯密特迟滞电压			200		mV
I_{lkg}	输入漏电流				1	uA
R_{PU}	上拉电阻		30	50	70	kΩ
R_{PD}	下拉电阻		30	50	70	kΩ
C_{IO}(1)	引脚电容			5		pF

（1） 由设计保证，不在生产中测试。

表 6-19 输出电压特性

符号	参数(1)	条件	最小值	最大值	单位
V_{OL}	COM IO 输出低电平	I_{OL} = 8 mA, VCC ≥ 2.7 V	-	0.4	V
V_{OL}		I_{OL} = 4 mA, VCC = 1.8 V	-	0.5	V

V_{OH}	COM IO 输出高电平	I_{OH} = 8 mA, VCC ≥ 2.7 V	VCC－0.4	-	V
V_{OH}		I_{OH} = 4 mA, VCC = 1.8 V	VCC－0.5	-	V

（1） IO 类型可参考引脚定义的术语和符号。

6.3.13. NRST 引脚特性

表 6-20 NRST 管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	VCC=1.7V~5.5V	0.7VCC			V
V_{IL}	输入低电平电压	VCC=1.7V~5.5V			0.2VCC	V
V_{hys}(1)	斯密特迟滞电压			300		mV
I_{lkg}	输入漏电流				1	uA
R_{PU}(1)	上拉电阻		30	50	70	kΩ
R_{PD}(1)	下拉电阻		30	50	70	kΩ
C_{IO}	引脚电容			5		pF

（1） 由设计保证，不在生产中测试。

6.3.14. ADC 特性

表 6-21 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{DD}	功耗	@0.75MSPS		1.0		mA
C_{IN}(1)	内部采样和保持电容			5		pF
F_{ADC}	转换时钟频率	VCC=1.7~2.3V	1	4	6(2)	MHz
		VCC=2.3~5.5V	1	8	12(2)	MHz
Tsamp(1)		VCC=1.7~2.3V	0.2			us
		VCC=2.3~5.5V	0.1			us
Tconv(1)				12*Tclk		
Teoc(1)				0.5*Tclk		
DNL(2)				±2		LSB
INL(2)				±3		LSB
Offset(2)				±2		LSB

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

6.3.15. 比较器特性

表 6-22 比较器特性(1)

符号	参数	条件		最小值	典型值	最大值	单位
VIN	Input voltage range			0		VCC	V
VBG	Scale input voltage				VREFINT		V
VSC	Scaler offset voltage				±5	±10	mV
IDD(SCALER)	Scaler static consumption				0.8	1	uA
tSTART_SCALER	Scaler startup time				100	200	us
tSTART	Startup time to reach propagation delay specification	High-speed mode				5	us
		Medium-speed mode				15	
tD	Propagation delay	200mV step;	High-speed mode		40	70	ns

		100mV over-drive	Medium-speed mode		0.9	2.3	us
		>200mV step;100mV overdrive	High-speed mode			85	ns
			Medium-speed mode			3.4	us
Voffset	Offset error				±5		mV
Vhys	hysteresis	No hysteresis			0		mV
		With hysteresis			20		
IDD	consumption	Medium-speed mode; No deglitcher	Static		5		uA
			With 50kHz and ±100mv over-drive square signal		6		uA
		Medium-speed mode; With deglitcher	Static		7		uA
			With 50kHz and ±100mv over-drive square signal		8		uA
		High-speed mode; No deglitcher	Static		250		uA
			With 50kHz and ±100mv over-drive square signal		250		uA

（1） 由设计保证，不在生产中测试。

6.3.16. 温度传感器特性

表 6-23 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L(1)	VTS linearity with temperature		±1	±2	℃
Avg_Slope(1)	Average slope	2.3	2.5	2.7	mV/℃
V_{30}	Voltage at 30℃(±5℃)	0.742	0.76	0.785	V
t_{START}(1)	Start-up time entering in continuous mode		70	120	us
t_{S_temp}(1)	ADC sampling time when reading the temperature	9			us

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

6.3.17. 内置参考电压特性

表 6-24 内置参考电压特性

符号	参数	最小值	典型值	最大值	单位
VREFINT	Internal reference voltage	1.17	1.2	1.23	V
$T_{start_vrefint}$	Start time of internal reference voltage		10	15	us
T_{coeff}	Temperature coefficient			100(1)	ppm/℃
I_{vcc}	Current consumption from VCC		12	20	uA

（3） 由设计保证，不在生产中测试

6.3.18. 定时器特性

表 6-25 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	Timer resolution time	-	1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 32MHz	20.833		ns
f_{EXT}	Timer external clock frequency on CH1 to CH4	-		$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 32MHz		24	
Res_{TIM}	Timer resolution	TIM1/3/14/16/17		16	Bit
$t_{COUNTER}$	16-bit counter clock period		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 32MHz	0.020833	1365	us

表 6-26 LPTIM 特性(时钟选择 LSI)

预分频	PRESC [2:0]	最小溢出值	最大溢出值	单位
/1	0	0.0305	1998.848	ms
/2	1	0.0610	3997.696	
/4	2	0.1221	8001.9456	
/8	3	0.2441	15997.3376	
/16	4	0.4883	32001.2288	
/32	5	0.9766	64002.4576	
/64	6	1.9531	127998.3616	
/128	7	3.9063	256003.2768	

表 6-27 IWDG 特性(时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 6-28 WWDG 特性(时钟选择 32MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

6.3.19. 通讯口特性

6.3.19.1. I2C 总线接口特性

I2C 接口满足 I2C-bus specification and user manual 的要求：

- Standard-mode(Sm): 100kbit/s

■ Fast-mode(Fm): 400kbit/s

时序由设计保证，前提是 I2C 外设被正确的配置，并且 I2C CLK 频率大于下表要求的最小值。

表 6-29 最小 I2C CLK 频率

符号	参数	条件	最小值	单位
$f_{I2CCLK(min)}$	Minimum I2CCLK frequency	Standard-mode	**2**	MHz
		Fast-mode	9	

I2C SDA 和 SCL 管脚具有模拟滤波功能，参见下表。

表 6-30 I2C 滤波器特性

符号	参数	最小值	最大值	单位
t_{AF}	Limiting duration of spikes suppressed by the filter (Spikers shorter than the limiting duration are suppressed)	50	260	ns

6.3.19.2. 串行外设接口 SPI 特性

表 6-31 SPI 特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	Master mode	-	8	MHz
		Slave mode	-	8	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI clock rise and fall time	Capacitive load: C = 15 pF	-	6	ns
$t_{su(NSS)}$	NSS setup time	Slave mode	4Tpclk	-	ns
$t_{h(NSS)}$	NSS hold time	Slave mode	2Tpclk + 10	-	ns
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK high and low time	Master mode, fPCLK = 36 MHz,presc = 4	Tpclk*2 -2	Tpclk*2 + 1	ns
$t_{su(MI)}$ $t_{su(SI)}$	Data input setup time	Master mode, fPCLK = 48 MHz,presc = 4	Tpclk+5(1)	-	ns
		Slave mode, fPCLK = 48 MHz,presc = 4	5	-	
$t_{h(MI)}$	Data input hold time	Master mode	5	-	ns
$t_{h(SI)}$		Slave mode	Tpclk+5	-	
$t_{a(SO)}$	Data output access time	Slave mode, presc = 4	0	3Tpclk	ns
$t_{dis(SO)}$	Data output disable time	Slave mode	2Tpclk+5	4Tpclk+5	ns
$t_{v(SO)}$	Data output valid ime	Slave mode (after enable edge)，presc = 4	0	1.5Tpclk(2)	ns
$t_{v(MO)}$	Data output valid ime	Master mode (after enable edge)	-	6	ns
$t_{h(SO)}$	Data output hold time	Slave mode，presc = 4	0(3)	-	ns
$t_{h(MO)}$		Master mode	2	-	
DuCy(SCK)	SPI slave input clock duty cycle	Slave mode	45	55	%

（1） Master 在接收沿的前产生 1pclk 接收控制信号。

（2） Slave 基于 SCK 发送沿最大有 1PCLK delay，考虑 IO 延时等，定义 1.5PCLK。

（3） 在 Master 发送的 SCK 占空比接收沿和发送沿之间宽的情况下，Slave 在发送沿之前就更新数据。

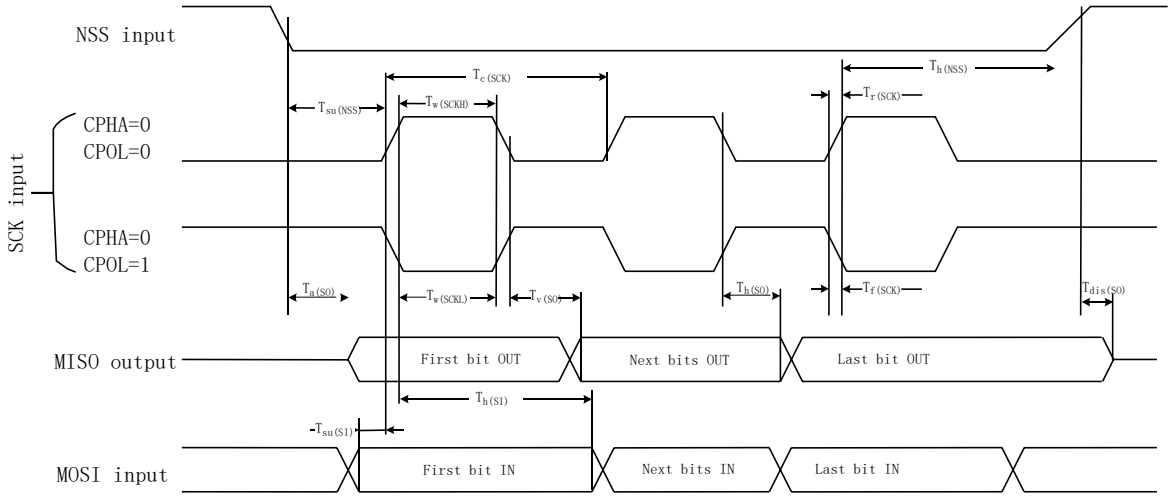


图 6-2 SPI 时序图–slave mode and CPHA=0

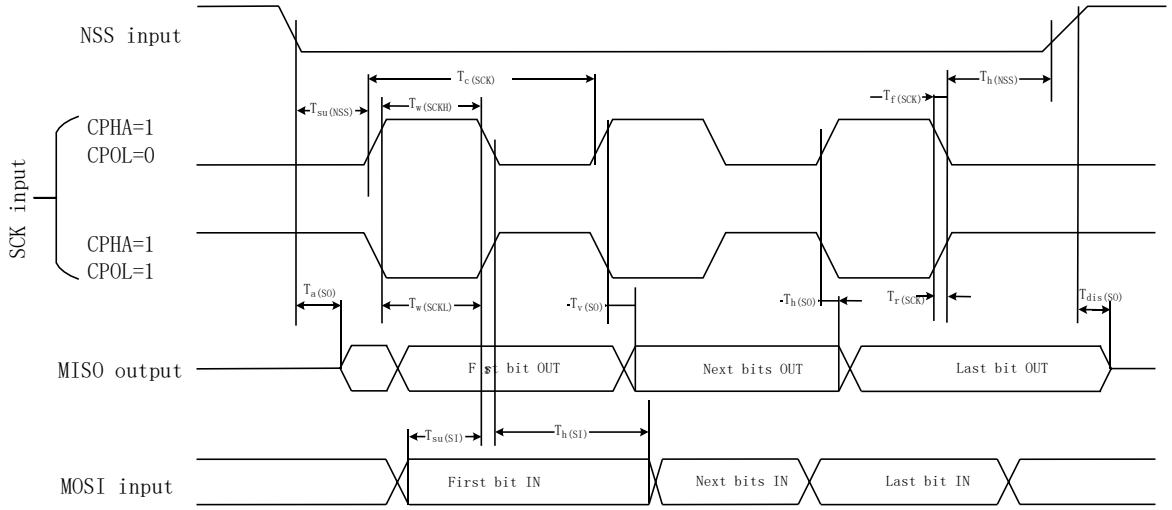


图 6-3 SPI 时序图–slave mode and CPHA=1

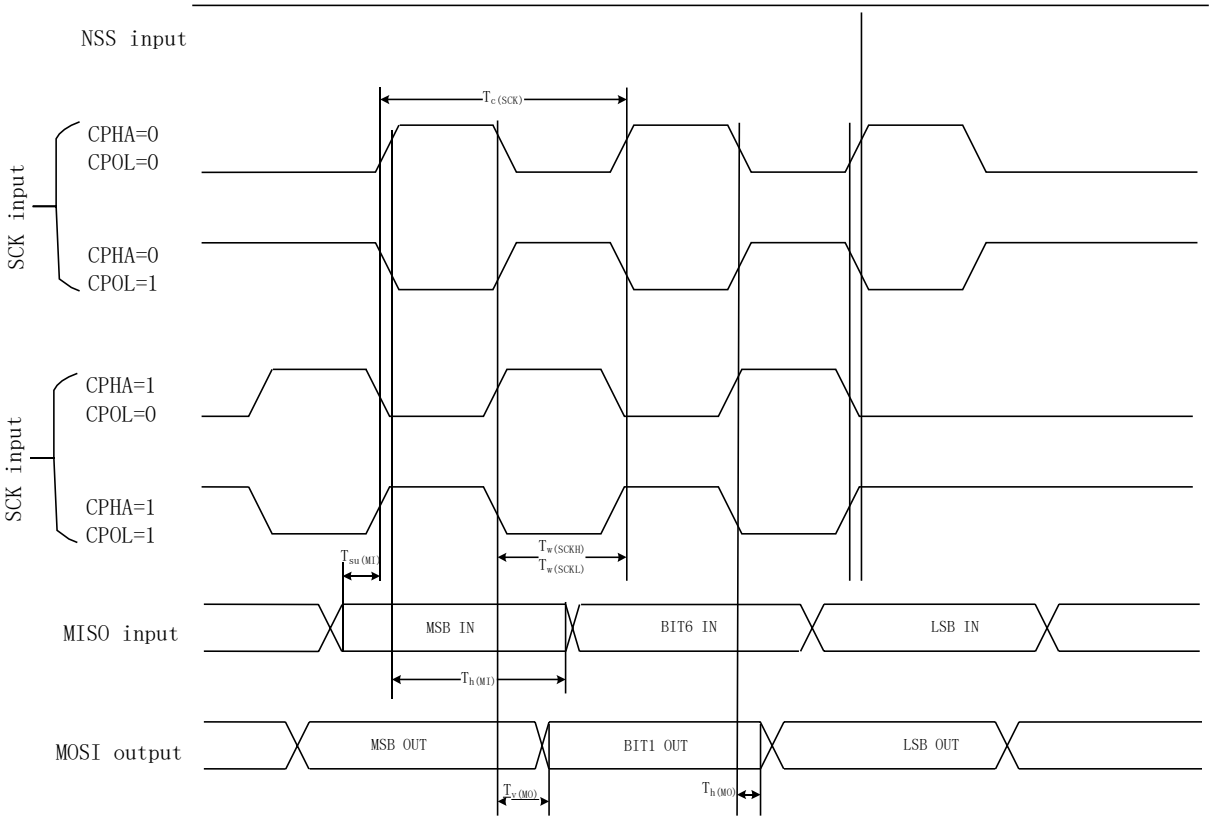
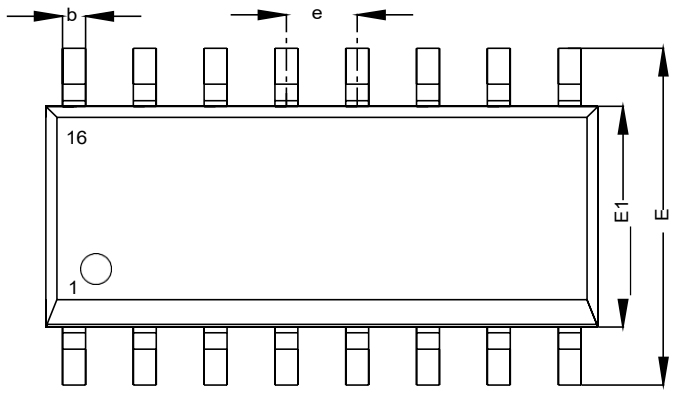
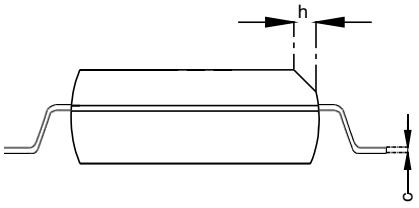


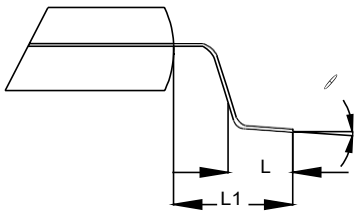
图 6-4 SPI 时序图–master mode

7. 封装信息

7.1. SOP16 封装尺寸







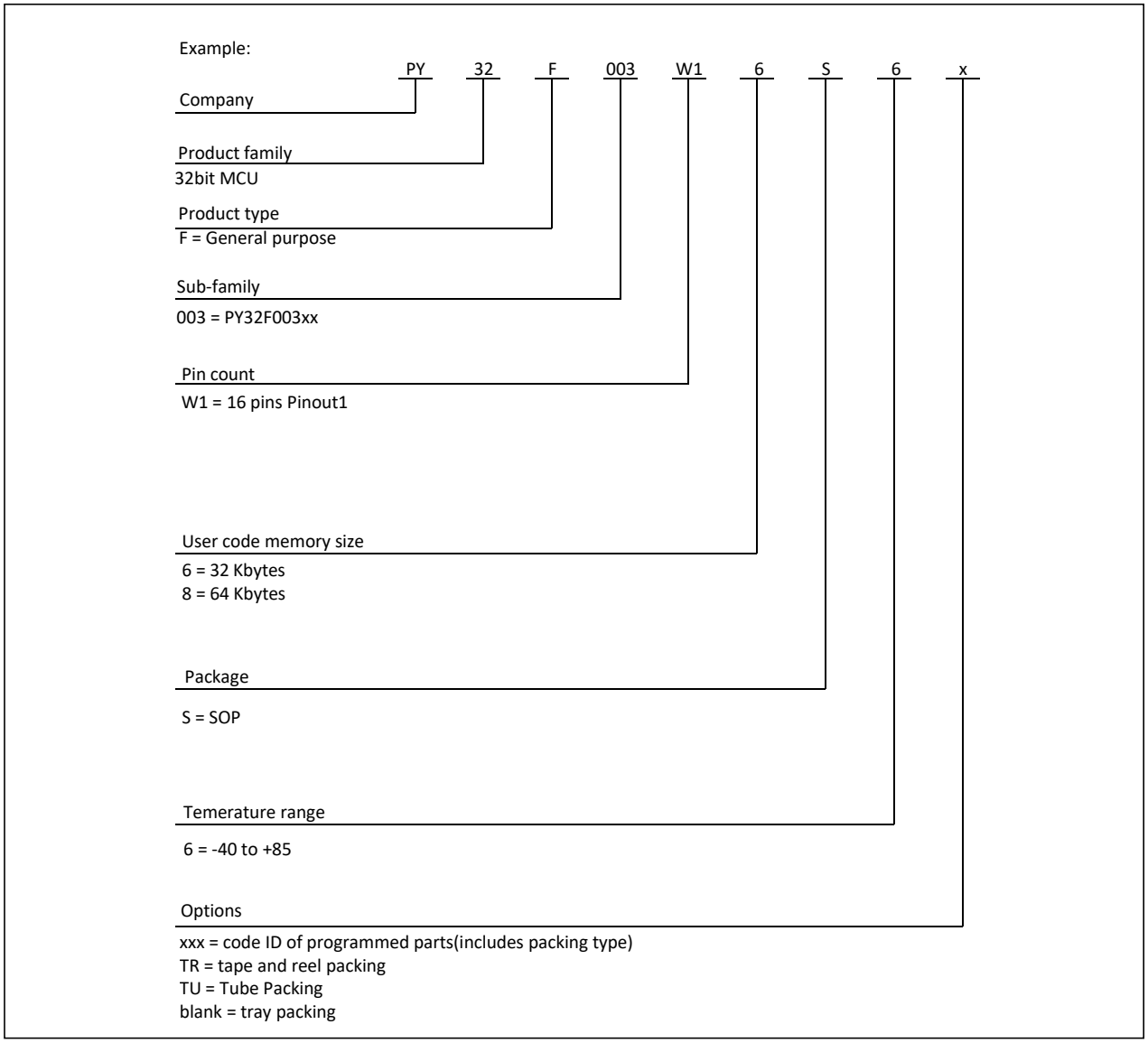
Common Dimensions
(Unit of Measure=millimeters)

Symbol	Min	Typ	Max
A	-	-	1.75
A1	0.10	-	0.25
A2	1.30	-	-
A3	0.60	-	0.70
b	0.31	-	0.51
c	0.10	-	0.25
D	9.80	-	10.20
E	5.80	-	6.20
E1	3.80	-	4.20
e	1.27BSC		
L	0.40	-	1.27
L1	1.05REF		
θ	0	-	8°
h	0.25	-	0.50

Note：Dimensions are not to scale.

	TITLE	DRAWING NO.	REV
PUYA	PUYA SOP16 (150mil) POD	PY-POD-0001	1.0

8. 订购信息


Example:
PY 32 F 003 W1 6 S 6 x
Company
Product family
32bit MCU
Product type
F = General purpose
Sub-family
003 = PY32F003xx
Pin count
W1 = 16 pins Pinout1
User code memory size
6 = 32 Kbytes
8 = 64 Kbytes
Package
S = SOP
Temerature range
6 = -40 to +85
Options
xxx = code ID of programmed parts(includes packing type)
TR = tape and reel packing
TU = Tube Packing
blank = tray packing

9. 版本历史

版本	日期	更新记录
V0.1	2022.6.27	初版
V0.2	2022.7.5	新增型号PY32F003Wx8S

Puya Semiconductor Co., Ltd.

IMPORTANT NOTICE

Puya Semiconductor reserves the right to make changes without further notice to any products or specifications herein. Puya Semiconductor does not assume any responsibility for use of any its products for any particular purpose, nor does Puya Semiconductor assume any liability arising out of the application or use of any its products or circuits. Puya Semiconductor does not convey any license under its patent rights or other rights nor the rights of others.